

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-16377

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl. ⁸	識別記号	F I	
G 1 1 C 14/00		G 1 1 C 11/34	3 5 2 A
11/22		11/22	
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
27/108			6 5 1
21/8242		29/78	3 7 1
審査請求 有 請求項の数13 OL (全 18 頁) 最終頁に続く			

(21) 出願番号 特願平9-168939

(22) 出願日 平成9年(1997) 6月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小池 洋紀

東京都港区芝五丁目7番1号 日本電気株式会社内

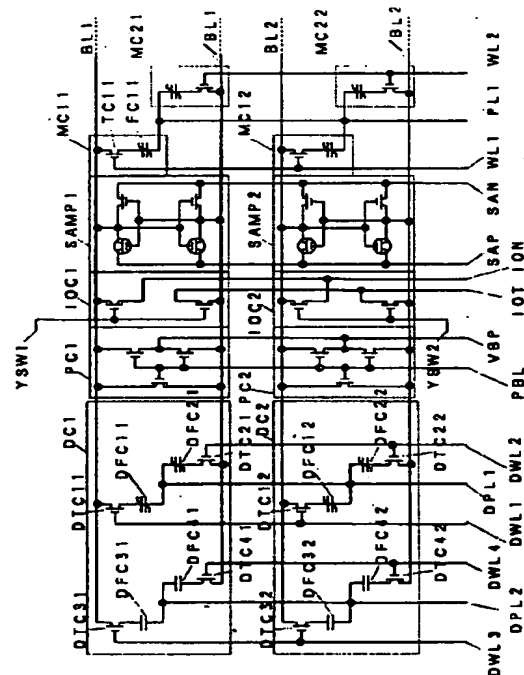
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 強誘電体メモリ装置

(57) 【要約】

【課題】 強誘電体キャパシタの特性ばらつきに強い強誘電体メモリ装置を提供する。

【解決手段】 2つのダミーメモリセルのキャパシタDFC21, DFC41を用い、キャパシタDFC21は強誘電体キャパシタで常に"0"に相当する電圧を出力し、キャパシタDFC41でセンスアンプの感度分の電圧を出力し、これをリファレンス電圧発生回路DC1のリファレンス電圧とする。



1

【特許請求の範囲】

【請求項 1】 電界効果型トランジスタと、強誘電体材料を絶縁体膜として用いた強誘電体キャパシタとからなり、前記強誘電体キャパシタの自発分極の方向を記憶情報に対応させて記憶動作が行われるメモリセルと、前記メモリセルの強誘電体キャパシタの自発分極の方向を反転した状態と非反転状態の 2 つの状態における電荷量の差を判別して、前記メモリセルからの信号電圧の読み出しを行うセンスアンプ回路と、

前記反転状態と非反転状態の 2 つの状態における電荷量の差を判別するためのリファレンス電圧を発生するリファレンス電圧発生手段と、を有し、

前記リファレンス電圧発生手段は、前記メモリセルの強誘電体キャパシタの自発分極の方向が非反転状態のときの該メモリセルに記憶された信号電荷によって得られる信号電圧に、前記センスアンプ回路による該メモリセルからの信号電圧の読み出しが可能な最小の電圧を上回る電圧を加えた電圧を、前記リファレンス電圧として発生することを特徴とする強誘電体メモリ装置。

【請求項 2】 請求項 1 に記載の強誘電体メモリ装置において、

前記メモリセルは、電界効果型トランジスタのソース端子が強誘電体キャパシタの一方の端子に接続され、ドレイン端子がビット線に接続され、ゲート端子がワード線に接続され、強誘電体キャパシタのもう一方の端子がプレート線に接続されており、

前記センスアンプ回路は、第 1 および第 2 の端子を備え、前記第 1 の端子に前記メモリセルからの信号電荷が前記ビット線上に読み出されることによって得られる信号電圧が入力され、前記第 2 の端子に前記リファレンス電圧が入力され、第 1 および第 2 の端子間電圧を差動増幅することにより、前記メモリセルから出力される信号電荷の論理値を判別するセンスアンプより構成され、

前記リファレンス電圧発生手段が、前記メモリセルの強誘電体キャパシタの自発分極の方向が非反転状態のときに相当する信号電荷が前記ビット線上に読み出されることによって得られる信号電圧に、前記センスアンプが前記メモリセルからの信号電圧の読み出し信号電圧を増幅することができる最小の電圧であるセンスアンプ感度を上回る電圧を加えた電圧を、前記リファレンス電圧として発生することを特徴とする強誘電体メモリ装置。

【請求項 3】 請求項 2 に記載の強誘電体メモリ装置において、

前記リファレンス電圧発生手段は、第 1 および第 2 のダミーメモリセルを有し、

前記第 1 のダミーメモリセルは、1 つのトランジスタと 1 つの強誘電体キャパシタとを備え、該トランジスタのゲート端子が第 1 のダミーワード線に接続され、ソース端子が前記センスアンプの第 1 の端子に直接接続され、もしくはトランスファゲートを介して電氣的に接続さ

2

れ、ドレイン端子が強誘電体キャパシタの一方の端子に接続され、該強誘電体キャパシタのもう一方の端子が第 1 のダミープレート線に接続され、

前記第 2 のダミーメモリセルは、1 つのトランジスタと 1 つのキャパシタとを備え、該トランジスタのゲート端子が第 2 のダミーワード線に接続され、ソース端子が前記第 1 のダミーセルのソース端子に接続され、ドレイン端子が強誘電体キャパシタの一方の端子に接続され、該キャパシタのもう一方の端子が第 2 のダミープレート線に接続されていることを特徴とする強誘電体メモリ装置。

【請求項 4】 請求項 3 に記載の強誘電体メモリ装置において、

前記第 1 のダミーメモリセルが、前記メモリセルと同一のデバイス構造であることを特徴とする強誘電体メモリ装置。

【請求項 5】 請求項 3 に記載の強誘電体メモリ装置において、

前記第 2 のダミーメモリセルのキャパシタが、トランジスタのゲート容量、配線層間容量、拡散層容量、またはこれらの組み合わせである常誘電体容量であることを特徴とする強誘電体メモリ装置。

【請求項 6】 請求項 3 に記載の強誘電体メモリ装置において、

前記第 2 のダミーメモリセルのキャパシタに、強誘電体キャパシタの常誘電体成分を用いたことを特徴とする強誘電体メモリ装置。

【請求項 7】 請求項 3 に記載の強誘電体メモリ装置において、

前記第 1 のダミーメモリセルのトランジスタと強誘電体キャパシタとを接続する端子に、該トランジスタと異なる第 2 のトランジスタのドレイン端子が接続され、該第 2 のトランジスタのソース端子に所定の電圧を与える信号線が接続され、ゲート端子に第 3 のダミーワード線が接続されていることを特徴とする強誘電体メモリ装置。

【請求項 8】 請求項 7 に記載の強誘電体メモリ装置において、

前記第 2 のトランジスタのソース端子に接続された信号線に与えられる電圧値によって前記センスアンプ感度を上回る電圧が調節されることを特徴とする強誘電体メモリ装置。

【請求項 9】 請求項 3 または請求項 7 に記載の強誘電体メモリ装置において、

前記第 2 のダミーメモリセルのトランジスタとキャパシタとを接続する端子に、該トランジスタと異なる第 3 のトランジスタのドレイン端子が接続され、該第 2 のトランジスタのソース端子に所定の電圧を与える第 2 の信号線が接続され、ゲート端子に第 4 のダミーワード線が接続されていることを特徴とする強誘電体メモリ装置。

【請求項 10】 請求項 3 に記載の強誘電体メモリ装置において、

3

前記第2のダミーメモリセルのソース端子が前記センスアンプの第1の端子に直接接続され、もしくはトランスファゲートを介して電氣的に接続されていることを特徴とする強誘電体メモリ装置。

【請求項11】 請求項3に記載の強誘電体メモリ装置において、

前記メモリセルがマトリクス状に配設され、メモリセルアレイに対し、前記センスアンプが1つまたは複数設けられた回路系を有することを特徴とする強誘電体メモリ装置。

【請求項12】 請求項3に記載の強誘電体メモリ装置において、

前記第2のダミーメモリセルのキャパシタの常誘電体容量値に応じて前記センスアンプ感度を上回る電圧が設定されることを特徴とする強誘電体メモリ装置。

【請求項13】 請求項3に記載の強誘電体メモリ装置において、

前記第2のダミープレート線の電圧を第1の電圧レベルから第2の電圧レベルに駆動する駆動手段を有し、前記第2のダミープレート線が第1の電圧レベルから第2の電圧レベルに駆動されることによって前記センスアンプ感度を上回る電圧を調節することを特徴とする強誘電体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体を用いたメモリ装置に関する。

【0002】

【従来の技術】近年、ジルコンチタン酸鉛（PTZ）などのヒステリシス特性を有する強誘電体材料をメモリセルに用い、電源を切断しても記憶を保持する機能を持つ不揮発性メモリが実現されている。まず、一般的な強誘電体を用いた不揮発性メモリ装置（以下、強誘電体メモリと呼ぶ）の動作について説明する。

【0003】図9に、1つのトランジスタと1つの強誘電体キャパシタで構成されるメモリセル回路（以下、1T/1C型メモリセルと呼ぶ）の例を示す。ここで、メモリセルMCのトランジスタTCのゲート端子にはワード線WL、ソース端子には強誘電体キャパシタFCの一方の端子、ドレイン端子にはビット線BLがそれぞれ接続され、強誘電体キャパシタFCの他方の端子にはプレート線PLが接続されている。ワード線WLの電圧によって、トランジスタTCの導通または非導通が制御されることにより、当該メモリセルの選択または非選択が決定される。強誘電体キャパシタFCには、ビット線を経由して、データの書き込み/読み出しが行われる。

【0004】図10に、強誘電体キャパシタFCの両電極間の電圧Vに対する、自発分極電荷Qの関係を示す。例えば、強誘電体キャパシタFCの分極が、それぞれA、Bの状態にある場合をデータ"1"、データ"0"

4

というように対応させる。このとき、強誘電体キャパシタFCの両電極間にV_eの電圧をかけると、データ

"1"の場合は強誘電体キャパシタFCから図10に示すQ₁の電荷がビット線BL上に出力される。一方、データ"0"の場合には、強誘電体キャパシタFCから図10に示すQ₀の電荷がビット線BL上に出力される。この出力された電荷Q₁と電荷Q₀の差を判別することにより、2値情報の記憶が実現できる。このように、強誘電体キャパシタを用いたメモリ装置では、強誘電体キャパシタ間にかかる外部電圧が0になっても、強誘電体の内部に生じている分極がデータを保持しているため、電源が切断されても記憶を保つ、いわゆる不揮発性記憶動作が可能であるという特徴がある。

【0005】上述の図9に示したような1T/1C型メモリセルを用いたメモリセルアレイの部分回路列を図11に示す。図11において、MC11~MCn1、MC12~MCn2はメモリセル、TC11はメモリセルMC11に含まれるトランジスタ、FC11はメモリセルMC11に含まれる強誘電体キャパシタ、PC1、PC2はビット線プリチャージ回路、DC11、DC21、DC12、DC22はリファレンス電圧発生回路、SAMP2は差動増幅回路であるところのセンスアンプ回路である。また、WL1~WLnはワード線、PL1~PLnはプレート線、BL1、/BL1、BL2、/BL2はビット線、PBLはビット線プリチャージ制御信号線、VBPはビットプリチャージ電圧線、DWL1、DWL2はリファレンス電圧発生回路制御信号線、SEはセンスアンプ回路制御信号線である。

【0006】メモリセルからの信号電圧は、例えばメモリセルMC11が選択された場合には、ビット線BL1上に現れる。このビット線BL1上に現れた信号電圧が"0"に相当するか"1"に相当するかについては、リファレンス電圧となる電圧を、対となるビット線/BL1上に発生させることで、センスアンプ回路のような差動増幅回路で判定することができる。リファレンス電圧は、通常、データ"0"に対応する読み出し信号電圧とデータ"1"に対応する読み出し電圧の中間の電圧値に設定する。

【0007】図12に、図11に示したメモリセルアレイの動作タイミングチャートを示す。この動作タイミングチャートは、1994年2月の固体素子回路国際会議（International Solid-State Circuits Conference, ISSCC）予稿集268頁~269頁に述べられている方式に基づいている。以下、図11および図12を参照して、ワード線WL1が選択され、メモリセルMC11に注目した場合の、当該強誘電体メモリの読み出し動作および書き込み動作について説明する。なお、後述する他の図における動作タイミングチャートにおいて、特にことわりのない限り、ハイレベル"H"に相当するレベルは、メモリ装置外部から供給される電源電圧、またはメモリ装置

5

内部に設けた電圧発生回路で発生される電圧のいずれかとし、ロウレベル”L”に相当するレベルは接地電圧とする。また、参考として、図12の①～⑥の各期間終了時点での、強誘電体キャパシタFC11の分極を同図中の最下部に示す。

【0008】図12中、①～③の期間はメモリセルからデータを読み出す動作である。まず、①の間でビット線プリチャージ制御信号PBLをロウレベルにすることにより、ビット線プリチャージを解除する。ここでは、ビット線プリチャージ電圧VBPは接地電位としている。

【0009】次に、②の間において、ワード線WL1とプレート線PL1をそれぞれハイレベルに上げ、メモリセルMC11からビット線BL1上にデータを出力する。同時に、メモリセルMC12からはビット線BL2上にデータが出力されているが、それはメモリセルMC11の動作と同様であるため、ここでは混乱をさけるためそちらの動作説明は省略する。このときメモリセルMC11から出力されるデータ信号は、強誘電体キャパシタFC11の分極状態に応じてきまり、図12では一例としてデータ”1”が読み出される様子が示されている。一方、対となるビット線/BL1上には、制御信号DWL2により、リファレンス電圧発生回路DC21から適性なりファレンス電圧を発生させる。

【0010】リファレンス電圧を発生した後、③の期間において、センスアンプ回路制御信号SEを活性化し、ビット線BL1とビット線/BL1との間の差電圧を、センスアンプ回路SAMP1が差動増幅する。

【0011】続く④～⑥の間においては、読み出したデータをメモリセルMC11に再度書き戻す動作が行われる。②の期間で、強誘電体キャパシタFC11のデータは破壊されているので、このようなデータ再書き込み動作が必要となる。なお、当該強誘電体メモリ装置外部から入力されるデータをメモリセルに書き込む場合には、③の期間に、ビット線BL1およびビット線/BL1上に、所望のデータに対応する電圧を設定してから、次の④以降の動作を行う。

【0012】④の期間において、プレート線PL1をロウレベルにする。続く⑤の期間において、センスアンプ回路制御信号SEをロウレベルとすることにより、センスアンプ回路SAMP1を非活性とし、さらにビット線プリチャージ制御信号PBLをハイレベルとしてビット線レベルを接地電位とする。こうすることにより、強誘電体キャパシタFC11の分極を、データ読み出し前の①の期間の状態に戻すことができる。最後に、ワード線WL1をロウレベルに下げ、トランジスタTC11を非導通にしてメモリセルMC11へのアクセス動作を完了する。

【0013】ここで、上述の回路動作と、強誘電体キャパシタの特性との関係について説明する。例えば、図12中の②の期間で、ワード線WL1をハイレベルとしてト

6

ランジスタTC11を導通させ、プレート線PL1をハイレベルに立ち上げた状態は、図10における強誘電体キャパシタに $-V_e$ の電圧をかけた状態に相当する(プレート線からビット線へ方向を電圧の正の向きとする)。このとき、電荷 Q_1 または電荷 Q_0 がビット線BL1上に出力される。ところで、このままの状態では、”1”、”0”のいずれが記憶されていた場合でも、強誘電体キャパシタの分極は、図10に示すh点にあって、”1”または”0”の区別ができない。そこで、読み出された”1”、”0”データに応じて、強誘電体キャパシタにそれぞれ $+V_e$ 、0ので電圧をかけて、データを書き戻す動作が必要となる。この動作が、図12の④の期間の動作に相当する。

【0014】また、図11および図12に示した例では、プレート線、ビット線とも、ロウレベルとハイレベルの間で駆動することにより、強誘電体キャパシタの両電極間に正負両方向の電圧をかけられるようにし、該強誘電体キャパシタに対し、”0”、”1”いずれのデータを書き込むことも可能にしていた。一方、プレート線をロウレベルとハイレベルの中間電位にし、ビット線をロウレベルとハイレベルの間で駆動することで、強誘電体キャパシタの両電極間に正負両方向の電圧をかけることを可能にするといった動作方式もある。このような動作方式の例は、1994年2月の固体素子回路国際会議(International Solid-State Circuits Conference, ISSCC) 予稿集368頁～369頁に述べられている。図13にその動作方式をとる強誘電体メモリセルアレイの部分回路例を示し、図14にその動作タイミングチャートを示す。以降、図面に用いる符号について、同じ構成要素については特に説明を加える必要がある場合以外は説明を省略することとする。

【0015】図13において、EB1、EB2はビット線バランス制御回路である。また、EBLはビット線バランス制御信号線である。図14には、その最下部に、参考として①～⑥の各期間終了時点での強誘電体キャパシタFC11の分極を示す。以下、図13および図14を参照して図11および図12の説明と同様、ワード線WL1が選択され、メモリセルMC11に注目した場合の、読み出し動作および書き込み動作について説明する。

【0016】まず、①の期間で、ビット線プリチャージ制御信号PBLをロウレベルにすることにより、ビット線プリチャージを解除する。ここでも、ビット線プリチャージ電圧VBPは接地電位としている。次に、②の間で、ワード線WL1をハイレベルに上げ、メモリセルMC11からビット線BL1上にデータを出力する。ここで、図12の場合の動作と異なるところは、プレート線PL1が中間電位(以下、 V_m とする)に保たれたままである点である。ビット線プリチャージレベルが接地電位、プレート線が中間電位であるため、②の期間でトラ

7

ンジスタTC11が導通状態となったとき、強誘電体キャパシタFC11の両電極間には、プレート線からビット線への方向を電圧の正の向きとして、ほぼ $-V_m$ の電圧がかかる。すると、強誘電体キャパシタFC11から、分極の状態に応じた信号電荷が、ビット線BL1上に読み出される。同時に、対となるビット線/BL1上には、リファレンス電圧発生回路DC21によって適性なりファレンス電圧を発生させる。続く③の期間において、センスアンプ回路制御信号SEを活性化し、ビット線BL1とビット線/BL1との間の差電圧をセンスアンプ回路SAMP1で差動増幅する。

【0017】メモリ装置外部から入力したデータをメモリセルに書き込む場合には、④の間において、所望のデータに対応する電圧をビット線BL1およびビット線/BL1に設定してから次の⑤以降の動作に移る。

【0018】⑤の間において、センスアンプ回路制御信号SEをロウレベルとすることによりセンスアンプ回路SAMP1を非活性とする。さらに、ビット線バランス制御信号EBLをハイレベルとして、ビット線BL1をプレート線PL1と同じ中間電位とする。こうすることにより、強誘電体キャパシタFC11の分極を、データ読み出し前の④の間の状態に戻すことができる。

【0019】⑥の期間でワード線WL1をロウレベルに下げ、トランジスタFC11を非導通とした後、⑦の期間でビット線BL1、/BL1を接地電位にした状態にしてMC11へのアクセス動作を完了する。

【0020】強誘電体キャパシタから読み出される信号電荷は、強誘電体キャパシタの両電極間にかけられる電圧値に依存し、一般に、両電極間にかけられる電圧値が大きいほど信号電荷も大きい。先に述べた例のような強誘電体メモリ装置の動作では、強誘電体キャパシタの両電極間にかけられる電圧は、プレート線設定電圧とビット線の電圧振幅とに関係する。プレート線設定電圧およびビット線の電圧振幅は、強誘電体から読み出される信号電圧を、センスアンプが正常にデータをセンス増幅できる値であるならば、どのように設定してもよい。例えば、プレート線の設定電圧を電源電圧の $1/2$ に、ビット線の振幅を接地電位と電源電圧の間とする方法がある。電源電圧は、メモリ装置外部から供給されるものでもよいし、メモリ装置内部の電圧発生回路で発生された電圧でもよい。

【0021】ここまで述べてきたように、強誘電体メモリ装置の動作において、メモリセルから読み出されたデータをセンスアンプ回路で増幅する最には、リファレンスとなる電圧を発生することが必要である。そのリファレンス電圧発生回路の具体例として、前出の文献(1994年2月の固体素子回路国際会議予稿集368頁~369頁)に述べられているようなものがある。図15にその回路を示し、図16にその回路の動作タイミングチャートを示す。

8

【0022】図15において、DC11とDC21はリファレンス電圧発生回路で、特にこの場合、1T/1C型メモリセルと同様に、1つのトランジスタと1つの強誘電体キャパシタとからなる回路を基本に構成されることから、ダミーメモリセルとも呼ばれている。DTC11とDCT21、DFC11とDFC21は、それぞれダミーメモリセル内のトランジスタと強誘電体キャパシタである。DTR11とDTR21は、ダミーメモリセル内部のトランジスタと強誘電体キャパシタとが互いに接続されている節点の電位を補償するためのトランジスタである。SAMP1はCMOSインバータを交差接続した形のセンスアンプ回路である。また、CDWLはトランジスタDTR11およびトランジスタDTR21を制御する信号、SAP、SANはセンスアンプ回路の制御信号線である。

【0023】図15に示すダミーメモリセルによるリファレンス電圧発生方法の要点は、メモリセルの強誘電体キャパシタFC11とダミーメモリセルの強誘電体キャパシタDFC11とのそれぞれのQ-Vヒステリシス特性の間に、図17に示すような関係を持たせるように設定することにある。

【0024】図17において、小さいほうのヒステリシス特性曲線が強誘電体キャパシタFC11のものである。図10と同様に、図17中の $-Q_r(\text{cell})$ 点、 $+Q_r(\text{cell})$ 点をそれぞれデータ"0"、"1"に対応させる。図15の回路において、プレート線PL1をロウレベルからハイレベル駆動したとき(図16の②の期間)、ビット線BL1上にメモリセルMC11から出力される電圧は、強誘電体キャパシタFC11に"0"が記憶されていた場合には図17の V_0 の電圧となり、"1"が記憶されていた場合には図17の V_1 の電圧となる。ここで、電圧 V_0 は $(-V_{cc}, -Q_r(\text{cell}))$ を通り、傾きが C_B (ビット線BL1の寄生容量)の直線と強誘電体キャパシタFC11のヒステリシス曲線とが交わる点の、直線 $V=-V_{cc}$ までの距離であり、電圧 V_1 は、 $(-V_{cc}, +Q_r(\text{cell}))$ を通り、傾きが C_B の直線と強誘電体キャパシタFC11のヒステリシス曲線とが交わる点の、直線 $V=-V_{cc}$ までの距離である。一方、ダミーメモリセルのキャパシタDFC11の特性は図17に示す大きいほうのヒステリシス曲線で表せるものとし、かつキャパシタDFC11には常に"0"が記憶されているとすると、図15に示すDPLをロウレベルからハイレベルに駆動したときにビット線/BL1上に出てくる電圧は、上記強誘電体キャパシタFC11の場合と同様にして、図17の V_{REF} の電圧が出力される。図17から分かるように、 $V_0 < V_{REF} < V_1$. . . (1)

の関係が満たされている。これにより、センスアンプSAMP1でメモリセルMC11からの読みだしデータの"0"/"1"を判別することができる。

9

【0025】上記のキャパシタDFC11のようなヒステリシス特性曲線のかたちの調節は、先に述べた1994年ISSCC予稿集268頁には、強誘電体キャパシタのサイズをかえることによって可能であると記載されている。

【0026】

【発明が解決しようとする課題】しかしながら、上述した従来の強誘電体メモリのリファレンス電圧発生方式では、ダミーメモリセルの強誘電体キャパシタのサイズの調節によってリファレンス電圧に相当する信号電荷をつくるため、このダミーメモリセルの強誘電体キャパシタと、メモリセルの強誘電体キャパシタの形状が異なる。したがって、発生されるリファレンス電圧が、強誘電体キャパシタの特性ばらつきの影響を受け易いという欠点がある。例えば、図17において、製造上のばらつきにより、強誘電体キャパシタFC11とキャパシタDFC11のヒステリシス特性の形状がかわり、 V_{REF} の値が V_0 と V_1 の中間の値にならなくなった場合、正常なリファレンス電圧が発生できず、誤動作することになる。

【0027】また、一般に強誘電体は疲労特性と呼ばれる特性がある。これは、図18に示すように、分極反転を繰り返すうちに、分極反転電荷（図10の Q_1 に相当する電荷）が減少するという特性である。この疲労特性により、“1”読み出し／書き込み動作を繰り返すうちに、 V_1 の電圧値を下げ、最終的に“1”読み出しマージンを下げるといふ欠点につながる。

【0028】本発明の目的は、上記各問題点を解決し、強誘電体キャパシタの特性ばらつきに強い強誘電体メモリ装置を提供することにある。

【0029】

【課題を解決するための手段】上記目的を達成するため、本発明の強誘電体メモリ装置は、電界効果型トランジスタと、強誘電体材料を絶縁体膜として用いた強誘電体キャパシタとからなり、前記強誘電体キャパシタの自発分極の方向を記憶情報に対応させて記憶動作が行われるメモリセルと、前記メモリセルの強誘電体キャパシタの自発分極の方向を反転した状態と非反転状態の2つの状態における電荷量の差を判別して、前記メモリセルからの信号電圧の読み出しを行うセンスアンプ回路と、前記反転状態と非反転状態の2つの状態における電荷量の差を判別するためのリファレンス電圧を発生するリファレンス電圧発生手段と、を有し、前記リファレンス電圧発生手段は、前記メモリセルの強誘電体キャパシタの自発分極の方向が非反転状態のときの該メモリセルに記憶された信号電荷によって得られる信号電圧に、前記センスアンプ回路による該メモリセルからの信号電圧の読み出しが可能な最小の電圧を上回る電圧を加えた電圧を、前記リファレンス電圧として発生することを特徴とする。

【0030】上記の強誘電体メモリ装置において、前記

10

メモリセルは、電界効果型トランジスタのソース端子が強誘電体キャパシタの一方の端子に接続され、ドレイン端子がビット線に接続され、ゲート端子がワード線に接続され、強誘電体キャパシタのもう一方の端子がプレート線に接続されており、前記センスアンプ回路は、第1および第2の端子を備え、前記第1の端子に前記メモリセルからの信号電荷が前記ビット線上に読み出されることによって得られる信号電圧が入力され、前記第2の端子に前記リファレンス電圧が入力され、第1および第2の端子間電圧を差動増幅することにより、前記メモリセルから出力される信号電荷の論理値を判別するセンスアンプより構成され、前記リファレンス電圧発生手段が、前記メモリセルの強誘電体キャパシタの自発分極の方向が非反転状態のときに相当する信号電荷が前記ビット線上に読み出されることによって得られる信号電圧に、前記センスアンプが前記メモリセルからの信号電圧の読み出し信号電圧を増幅することができる最小の電圧であるセンスアンプ感度を上回る電圧を加えた電圧を、前記リファレンス電圧として発生するようにしてもよい。

【0031】上記の場合、前記リファレンス電圧発生手段は、第1および第2のダミーメモリセルを有し、前記第1のダミーメモリセルは、1つのトランジスタと1つの強誘電体キャパシタとを備え、該トランジスタのゲート端子が第1のダミーワード線に接続され、ソース端子が前記センスアンプの第1の端子に直接接続され、もしくはトランスファゲートを介して電氣的に接続され、ドレイン端子が該強誘電体キャパシタの一方の端子に接続され、該強誘電体キャパシタのもう一方の端子が第1のダミープレート線に接続され、前記第2のダミーメモリセルは、1つのトランジスタと1つのキャパシタとを備え、該トランジスタのゲート端子が第2のダミーワード線に接続され、ソース端子が前記第1のダミーセルのソース端子に接続され、ドレイン端子が該キャパシタの一方の端子に接続され、該キャパシタのもう一方の端子が第2のダミープレート線に接続された構成としてよい。

【0032】さらに、前記第1のダミーメモリセルを、前記メモリセルと同一のデバイス構造としてもよい。

【0033】さらに、前記第2のダミーメモリセルのキャパシタを、トランジスタのゲート容量、配線層間容量、拡散層容量、またはこれらの組み合わせである常誘電体容量としてもよい。

【0034】さらに、前記第2のダミーメモリセルのキャパシタに、強誘電体キャパシタの常誘電体成分を用いてもよい。

【0035】さらに、前記第1のダミーメモリセルのトランジスタと強誘電体キャパシタとを接続する端子に、該トランジスタと異なる第2のトランジスタのドレイン端子が接続され、該第2のトランジスタのソース端子に所定の電圧を与える信号線が接続され、ゲート端子に第3のダミーワード線が接続されているものとしてもよい。

11

い。この場合、前記第2のトランジスタのソース端子に接続された信号線に与えられる電圧値によって前記センスアンプ感度を上回る電圧が調節されるようにしてもよい。

【0036】さらに、前記第2のダミーメモリセルのトランジスタとキャパシタとを接続する端子に、該トランジスタと異なる第3のトランジスタのドレイン端子が接続され、該第2のトランジスタのソース端子に所定の電圧を与える第2の信号線が接続され、ゲート端子に第4のダミーワード線が接続された構成としてもよい。

【0037】さらに、前記第2のダミーメモリセルのソース端子が前記センスアンプの第1の端子に直接接続され、もしくはトランスファゲートを介して電氣的に接続された構成としてもよい。

【0038】さらに、前記メモリセルがマトリクス状に配設され、メモリセルアレイに対し、前記センスアンプが1つまたは複数設けられた回路系を有する構成としてもよい。

【0039】さらに、前記第2のダミーメモリセルのキャパシタの常誘電体容量値に応じて前記センスアンプ感度を上回る電圧が設定されるように構成してもよい。

【0040】さらに、前記第2のダミープレート線の電圧を第1の電圧レベルから第2の電圧レベルに駆動する駆動手段を有し、前記第2のダミープレート線が第1の電圧レベルから第2の電圧レベルに駆動されることによって前記センスアンプ感度を上回る電圧を調節するようにしてもよい。

【0041】（作用）上記の通りの本発明においては、図18に示した分極非反転電荷量の繰り返し分極反転回数依存性が小さいことが利用され、リファレンス電圧の発生に、メモリセルの強誘電体キャパシタの自発分極の方向が非反転状態のときに相当する信号電荷のみを使用し、センスアンプ感度、すなわち正常なセンス増幅動作をするために必要な最小読み出し電圧に相当する電圧を別途供給するようになっているので、従来のようにメモリセルとダミーメモリセルのアクセス頻度の違いによってリファレンス電圧が不正確になる（疲労特性の影響を受ける）といったことは生じない。

【0042】また、メモリセルの強誘電体キャパシタとダミーメモリセルの強誘電体キャパシタを同じ形状にす*40

データ"1"の場合 $V_{BL1} = V_1$

データ"0"の場合 $V_{BL1} = V_0$

一方、ビット線/BL1に現れる電圧 V_{BL1} は、 $V_{BL1} = V_0$ となる。

【0047】続いて、④の期間において、ワード線DWL4をハイレベルとし、さらにプレート線DPL2もハイレベルとする。これにより、プレート線DPL2とビット線/BL1とがキャパシタDFC41を介して容量結合しているため、ビット線/BL1の電圧が少し上

12

*ることができるので、従来のように、製造上のばらつきにより、メモリセルおよびダミーメモリセルの強誘電体キャパシタのヒステリシス特性の形状が変わるといったことは生じない。

【0043】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0044】図1は本発明の強誘電体メモリ装置の一実施形態を示す回路図である。図1において、IOC1、IOC2はデータ入出力回路、PC1、PC2はビット線プリチャージ回路、DC1、DC2はリファレンス電圧発生回路、DTC11~42はダミーメモリセル選択トランジスタ、DFC11~42はダミーメモリセルキャパシタである。また、ION、IOTはデータ入出力信号線、YSW1、YSW2はカラム選択信号線、DWL1~4はダミーワード線、DPL1~2はダミープレート線である。図2に、図1に示した回路の動作タイミングチャートを示す。以下、図1および図2を参照して、ワード線WL1が選択され、メモリセルMC11に注目した場合の、読み出し動作および書き込み動作について説明する。

【0045】ダミーメモリセルDFC11、DFC21、DFC12、DF22には、データ"0"があらかじめ書き込まれている。また、DFC31、DFC41、DFC32、DFC42の両端子間電圧はゼロとする。

【0046】まず、①の期間でビット線プリチャージ制御信号PBLをロウレベルにすることにより、ビット線プリチャージを解除する。ここで、ビット線プリチャージ電圧VBPは接地電位とされている。次に、②の期間で、ワード線およびプレート線PL1をハイレベルに上げ、メモリセルMC11からビット線BL1上にデータ出力する。続いて、③の期間で、リファレンス電圧発生回路DC1において、ダミーメモリセルのワード線DWL2およびプレート線PL1をそれぞれハイレベルとし、ダミーメモリセルからビット線/BL1にデータ"0"に対応する信号電荷を出力する。上記の①~③の期間の動作後に、ビット線BL1に現れる電圧 V_{BL1} は、図17に示される電圧の記号を用いて、

... (2a)

... (2b)

り、

$V_{BL1} = V_0 + \Delta V$... (4)

となる。 ΔV の大きさは、(1) プレート線DPL2のハイレベルを調節する、あるいは(2) キャパシタDFC41の容量値を調節する、のいずれかの方法により、センスアンプの感度を上回るように設定しておく。ここでは、便宜上、ワード線WL1、DWL2、DWL4をシーケンシャルに活性化することとしたが、これらの活

13

性化タイミングは相前後してもよく、特にその順番に限らなくてよい。

【0048】この状態で、ビット線BL1、/BL1間に差電位が生じているので、⑤の期間において、センスアンプ回路制御信号SAP、SANをそれぞれハイレベル、ロウレベルとすることにより、ビット線BL1、/BL1間電圧を差動増幅して、メモリセルからの読み出しデータの"0"/"1"ができる。

【0049】センスアンプ回路で増幅したデータをメモリ装置外部に出力するには、カラム選択信号線YSW1、YSW2、...のうち1つまたは複数を選択してハイレベルとして、データ信号線ION、IOTを経由して出す。

【0050】一方、メモリ装置外部から入力されるデータを、メモリセルに書き込む場合は、⑥の期間において、書き込みデータに対応する所望の電圧をデータ信号線ION、IOTを介してビット線BL1、/BL1に設定してから、以降の動作に移る。

【0051】⑦以降は、リセット動作となる。まず、プレート線PL1ロウレベルに戻す。次いで、⑧の期間において、センスアンプ回路制御信号SAP、SANをそれぞれロウレベル、ハイレベルにして、センスアンプSAMP1、SAMP2を初期状態に戻し、ビット線プリチャージ制御信号PBLをハイレベルとして、ビット線BL1、/BL1、BL2、/BL2をロウレベルにリセットする。続いて、⑨の期間で、プレート線DPL、1DPL2をロウレベルに戻す。ここで、⑨の期間のはじめの時点では、ビット線/BL1、/BL2がロウレベル、プレート線DPL1がハイレベル、すなわちダミーメモリセルの強誘電体キャパシタDFC21、DFC22に"0"が書き込まれていることになる。最後に、ワード線WL1、DWL2、DWL4をロウレベルとして、メモリセル、ダミーメモリセルともに非選択状態とし、1サイクルの読み出ししないしは書き込み動作を完了する。

【0052】ここでは、ビット線BL1につながるメモリセルMC11が選択された場合について説明したが、ビット線/BL1につながるメモリセルMC21が選択された場合には、上述した動作と異なり、ダミーメモリセルは、キャパシタDFC11、DFC31のものが選択される。

【0053】以上説明したように、本形態のメモリ装置の特徴は、2つのダミーメモリセルのキャパシタDFC21、DFC41を用い、キャパシタDFC21は強誘電体キャパシタで常に"0"に相当する電圧を出力し、キャパシタDFC41でセンスアンプの感度分の電圧を出力し、これをリファレンス電圧とするところにある。キャパシタDFC21にはメモリセルと同一構造のキャパシタを用いることができ、このことにより、製造上の特性ばらつきが、メモリセルの強誘電体キャパシタとダ

14

ミーメモリセルの強誘電体キャパシタとの両方に同様に生じる。また、分極非反転の場合の読み出し電荷量は、繰返し分極反転回数への依存性が小さいという条件下で、上述の(3)式で与えられる V_0 がメモリセル側とリファレンス側のビット線で等しく発生できる。さらに、キャパシタDFC41は、MOSトランジスタのゲート容量など、現状の製造技術によれば、ばらつきが小さく、上述の(4)式の ΔV が精度良く発生できる。以上のことから、本形態のメモリ装置には、製造ばらつきが小さく、長時間使用後においてもリファレンス電圧が正確に発生できるという利点がある。

【0054】(他の実施形態)本発明の他の実施形態として、図14の従来例で示される強誘電体メモリ装置の動作に本発明を適用した場合の動作タイミングチャートを図3に示す。本形態の回路構成には、図1に示した構成をそのまま適用する。

【0055】図14の動作の要点は、プレート線を中間電位に設定し、ビット線を接地電位と電源電位との間で動作させることにより、強誘電体キャパシタの両電極間に、正負両方向の電圧をかけ、強誘電体メモリの記憶動作を可能にしたことにある。ダミーメモリセルについても、データ"0"/"1"読み出し動作および書き込み動作は、メモリセルと同様の方法で行われる。

【0056】本形態では、ビット線プリチャージ電圧VBPを電源電圧の半分の電位とし、ビット線BL1、/BL1、BL2、/BL2を電源電圧の半分の電圧に設定した状態から、①の期間でビット線プリチャージ制御信号PBLをロウレベルとしてメモリセルへのアクセス動作を開始する。図1には、その手段(回路)は示されていないが、①の期間でビット線BL1、/BL1、BL2、/BL2を接地電圧にプリチャージする動作が入る。次いで、②の期間において、ワード線WL1をハイレベルに上げると、ビット線BL1が接地電圧にプリチャージされ、かつプレート線PL1が中間電位 V_m とされていることから、メモリセルMC11の強誘電体キャパシタFC11には、プレート線からビット線への方向を電圧の正の向きとして、 $-V_m$ の電圧がかかる。これにより、強誘電体キャパシタFC11からビット線BL1上に、記憶されていたデータに応じた信号電荷が出力される。③の期間で、リファレンス電圧発生回路DC1において、ダミーメモリセルのワード線DWL2をハイレベルとすると、ダミーメモリセルからビット線/BL1にデータ"0"に対応する信号電圧 V_0 が出力される。続いて、④の期間において、ワード線DWL4をハイレベル、プレート線DPL2をハイレベルとすることにより、図2の動作と同様、ビット線/BL1上にリファレンス電圧として"0"読み出し電圧とセンスアンプかんどに相当する電圧との和の電圧が得られることになる。続く⑤から⑥の動作は、図2における動作と同様である。

15

【0057】⑦以降のリセット動作では、ビット線ブリッジ制御信号PBLをハイレベルとし、センスアンブ回路制御信号SAP、SAN、ビット線BL1、/BL1、BL2、/BL2をそれぞれ V_0 とする。そして、⑧の期間で、PL1=BL1=電源電圧の半分の電位、すなわち強誘電体キャパシタFC11の両電極間にかかる電圧を0にした状態のまま、ワード線WL1をロウレベルに戻して、メモリセルを非選択状態とする。そして、⑨の期間で、ビット線/BL1、/BL2のレベルを一旦接地電圧として、ダミーメモリセルの強誘電体キャパシタDFC21、DFC22に“0”を書き込んでから、

【0058】

【外1】

⑩

の期間でワード線DWL2、DWL4をロウレベルに下げ、1サイクルの読み出しなし書き込み動作を完了する。

【0059】以上説明した各実施形態では、待機期間中、すなわちワード線、ダミーワード線ともにロウレベルの期間に、強誘電体キャパシタとトランジスタとを接続しているメモリセル内部節点電圧が異常な電圧になると、リファレンス電圧が異常となる。そのため、ダミーメモリセルにおいて、図4に示すように、上記メモリセル内部節点電圧補償トランジスタを設ける方法がある。図5に、図4に示した回路を用いた場合の動作タイミングチャートをしめす。

【0060】この回路動作は、図3に示した動作とほぼ同様であるが、メモリセル内部節点電圧補償トランジスタの制御として、信号DCN1~4の動作が加わっている。メモリセル内部節点電圧補償電源線VDCN1、VDCN2の電圧値を変えることにより、対応するダミーメモリセルから発生されるリファレンス電圧値を調節することができると同時に、上記の待機時のメモリセル内部節点がフローティングであるという問題も解決できる。

【0061】図1、図4のDFC31、DFC32、DFC41、DFC42に相当するキャパシタは、常誘電体キャパシタでよいが、図6に示すように強誘電体キャパシタでもよい。

【0062】また、上述した各実施形態では、リファレンス電圧を与える側のビット線に、まず V_0 を出力し、しかるのちに ΔV を加えるという方式をとっていたが、一方で、 V_0 はリファレンス電圧を与える側のビット線に、 ΔV は選択されたメモリセル側のビット線から引くようにしてもよい。この場合の、動作を図7および図8に示す。図7および図8の動作において、上述の図2等のタイミングチャートと異なるところは、 ΔV をビット線BL1から引いている点である。具体的には、図7に示すように、プレート線DPL2を待機時にハイレベ

16

ル、活性時にロウレベルというように、図2における動作とは逆に動作することによって実現できる。または、図4に示した回路を用いて、図8に示す動作のように、メモリセル内部節点の電圧を、メモリセル側のビット線電圧が下がるように設定することによっても実現できる。

【0063】以上、様々な形態について説明したが、各々の実施形態同士を組み合わせることでメモリ装置を構成することも可能である。

【0064】

【発明の効果】以上述べてきたように、分極非反転時に強誘電体キャパシタから出力される電荷量が強誘電体が疲労した後も変わらないという条件のもとでは、本発明の強誘電体メモリ装置では、メモリセルの強誘電体キャパシタと、ダミーメモリセルの強誘電体キャパシタとを同じ形状にすることができる。このことは、製造時の特性ばらつき、長時間使用による特性ばらつき、いずれがあった場合においても、所望のリファレンス電圧を安定して発生することができる。このように、本発明によれば、正常なリファレンス電圧を安定して発生できるので、誤動作することのない、信頼性に優れたメモリ装置を提供することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施形態の強誘電体メモリ装置の、リファレンス電圧発生回路を含むメモリセルアレイ部の回路図である。

【図2】図1に示す強誘電体メモリ装置の動作の一例を示すタイミングチャートである。

【図3】図1に示す強誘電体メモリ装置の動作の一例を示すタイミングチャートである。

【図4】本発明の他の実施形態の強誘電体メモリ装置のリファレンス電圧発生回路の一構成例を示す回路図である。

【図5】図4に示すリファレンス電圧発生回路を含む強誘電体メモリ装置の動作の一例を示すタイミングチャートである。

【図6】本発明の他の実施形態の強誘電体メモリ装置のリファレンス電圧発生回路の一構成例を示す回路図である。

【図7】図1に示す強誘電体メモリ装置の動作の一例を示すタイミングチャートである。

【図8】図4に示すリファレンス電圧発生回路を含む強誘電体メモリ装置の動作の一例を示すタイミングチャートである。

【図9】メモリセル回路の一例を示す回路図である。

【図10】強誘電体キャパシタの両電極間にかかる電圧Vと分極電荷Qの関係を示す図である。

【図11】従来の強誘電体メモリ装置のメモリセルアレイ部回路を示す回路図である。

【図12】図11に示す強誘電体メモリ装置の動作の一

17

例を示すタイミングチャートである。

【図13】従来の強誘電体メモリ装置のメモリセルアレイ部回路の他の例を示す回路図である。

【図14】図13に示す強誘電体メモリ装置の動作の一例を示すタイミングチャートである。

【図15】従来の強誘電体メモリ装置の、リファレンス電圧発生回路を含むメモリセルアレイ部の回路図である。

【図16】図15に示す強誘電体メモリ装置の動作の一例を示すタイミングチャートである。

【図17】メモリセルの強誘電体キャパシタとダミーメモリセルの強誘電体キャパシタのヒステリシス特性の関係を示す図である。

【図18】強誘電体の疲労特性を示す図である。

【符号の説明】

WL, WL1, WL2 ワード線

BL, BL1, /BL1, BL2, /BL2 ビット線

PL, PL1, PL2 プレート線

PBL ビット線プリチャージ制御信号線

VBP ビット線プリチャージ電源線

SE, SAP, SAN センスアンプ制御信号線

DWL1, DWL2, DWL3, DWL4 ダミーメモリセル用ワード線

18

*DPL1, DPL2 ダミーメモリセル用プレート線

YSW1, YSW2 カラム選択信号線

ION, IOT データ信号線

DCN1, DCN2, DCN3, DCN4 ダミーメモリセル内部節点電位補償制御信号線

VDCN1, VDCN2 ダミーメモリセル内部節点電位線

GND 接地電位線

MC, MC11, MC12, MC21, MC22 強誘電体メモリセル

TC, TC11 メモリセルトランジスタ

FC, FC11 強誘電体キャパシタ

DC1, DC2 ダミーメモリセル

DTC11, DTC12, DTC21, DTC22, DTC31, DTC32

, DTC41, DTC42 ダミーメモリセルトランジスタ

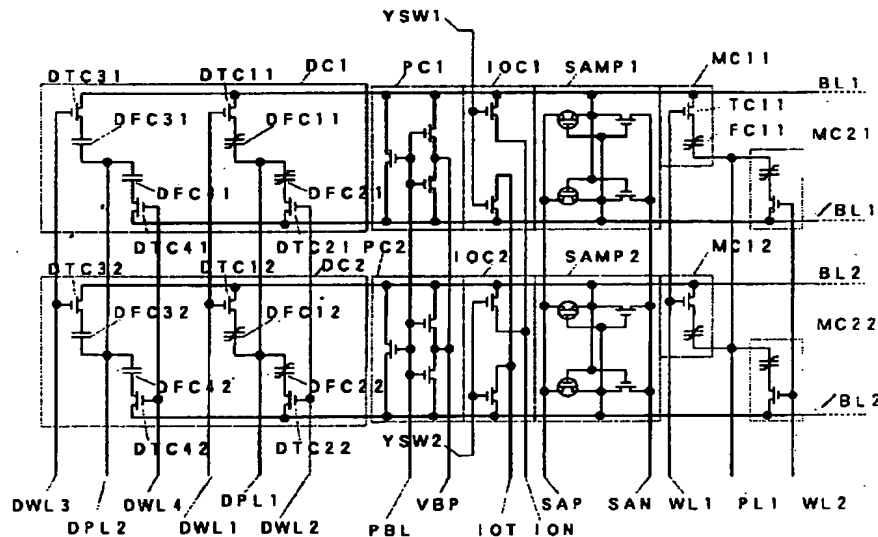
DFC11, DFC12, DFC21, DFC22, DFC31, DFC32

20 , DFC41, DFC42 ダミーメモリセルキャパシタ

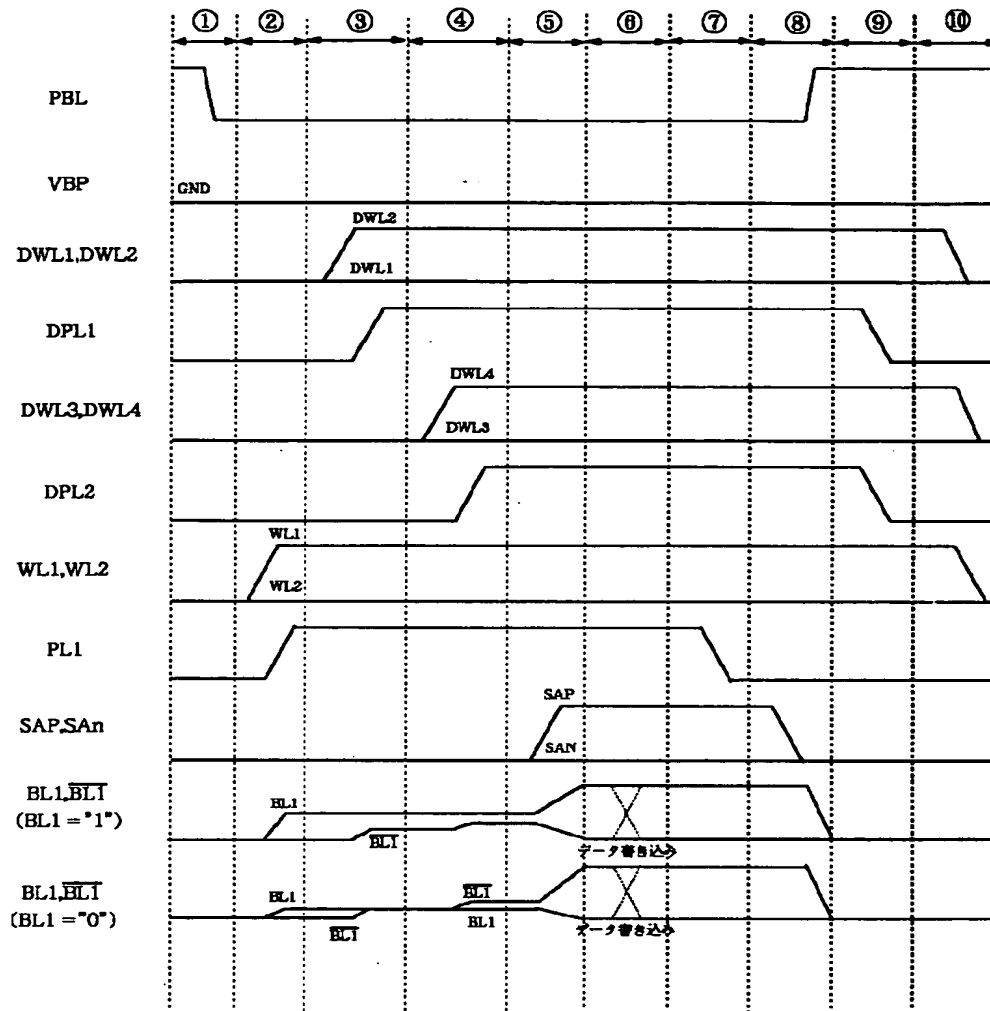
PC1, PC2 ビット線プリチャージ回路

* SAMP1, SAMP2 センスアンプ回路

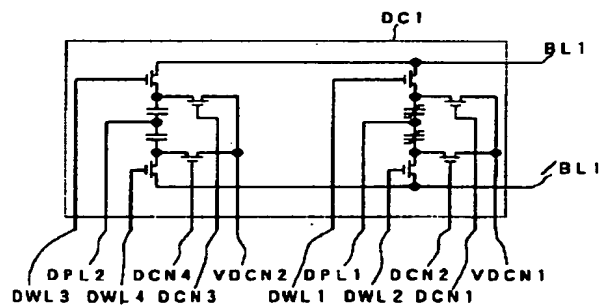
【図1】



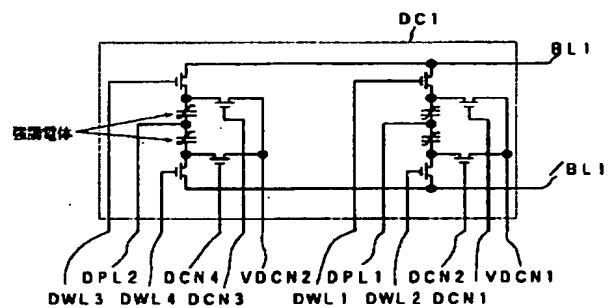
【図2】



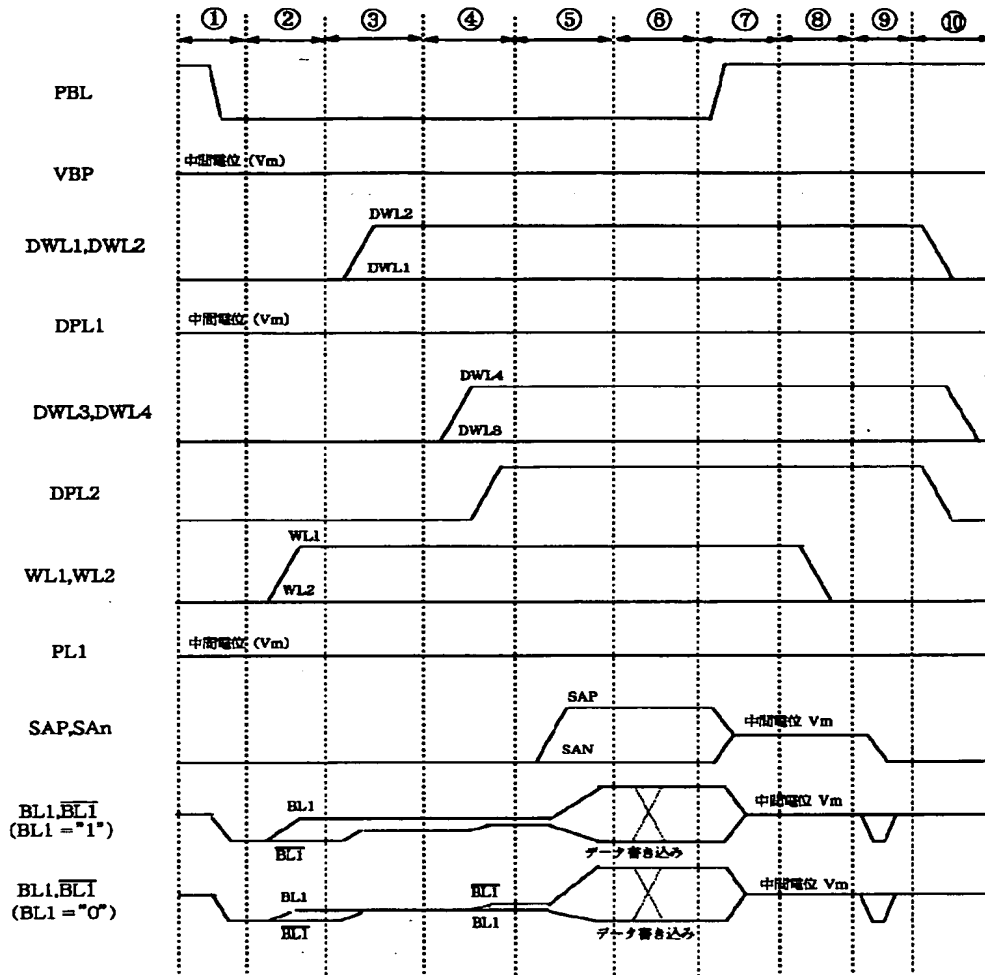
【図4】



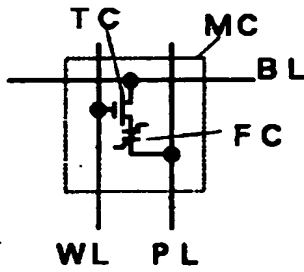
【図6】



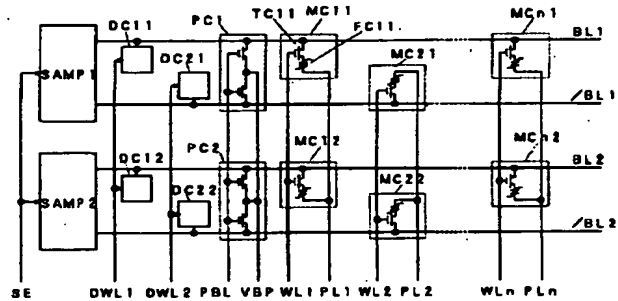
【図 3】



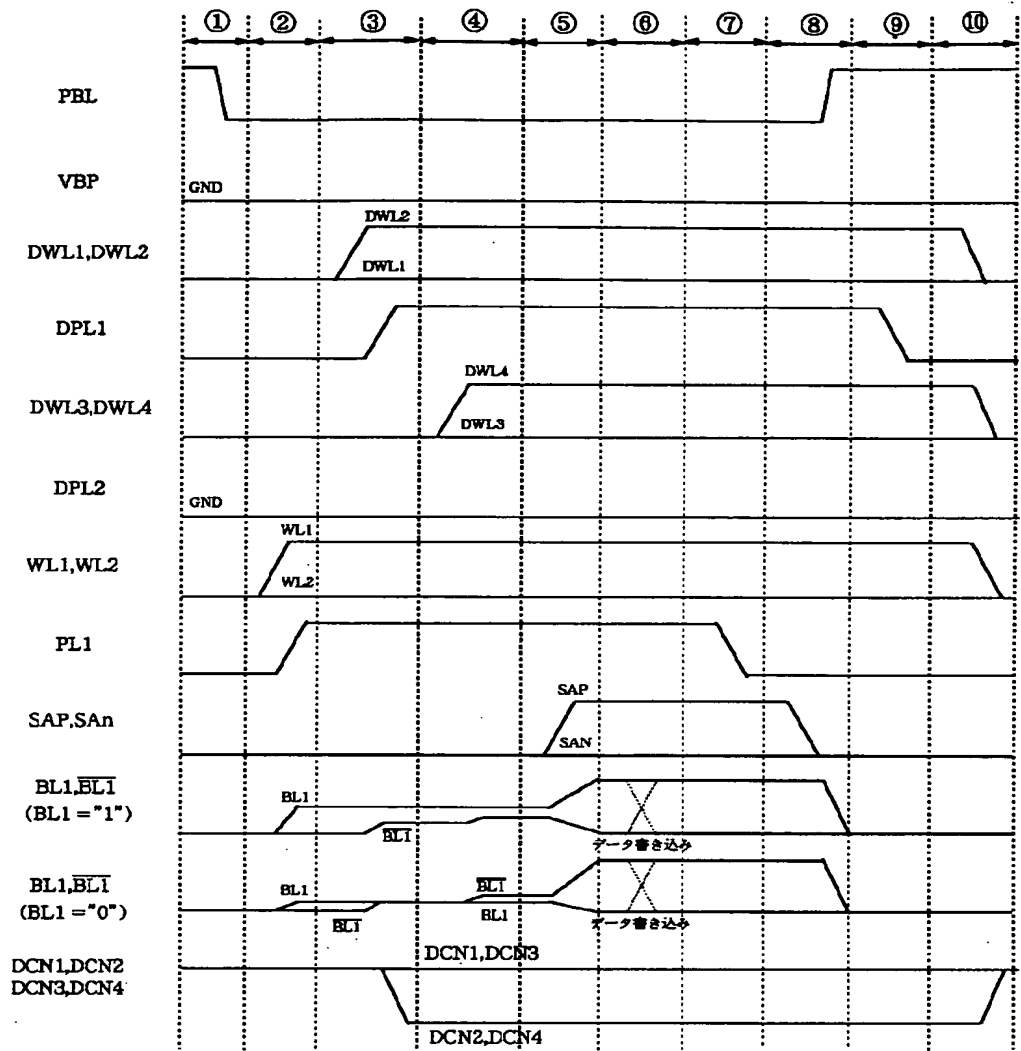
【図 9】



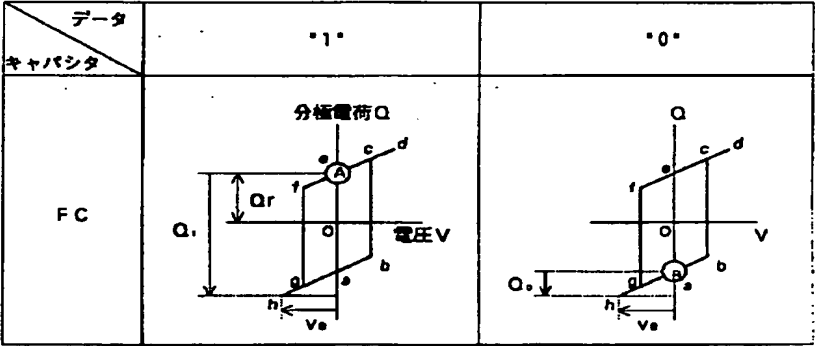
【図 11】



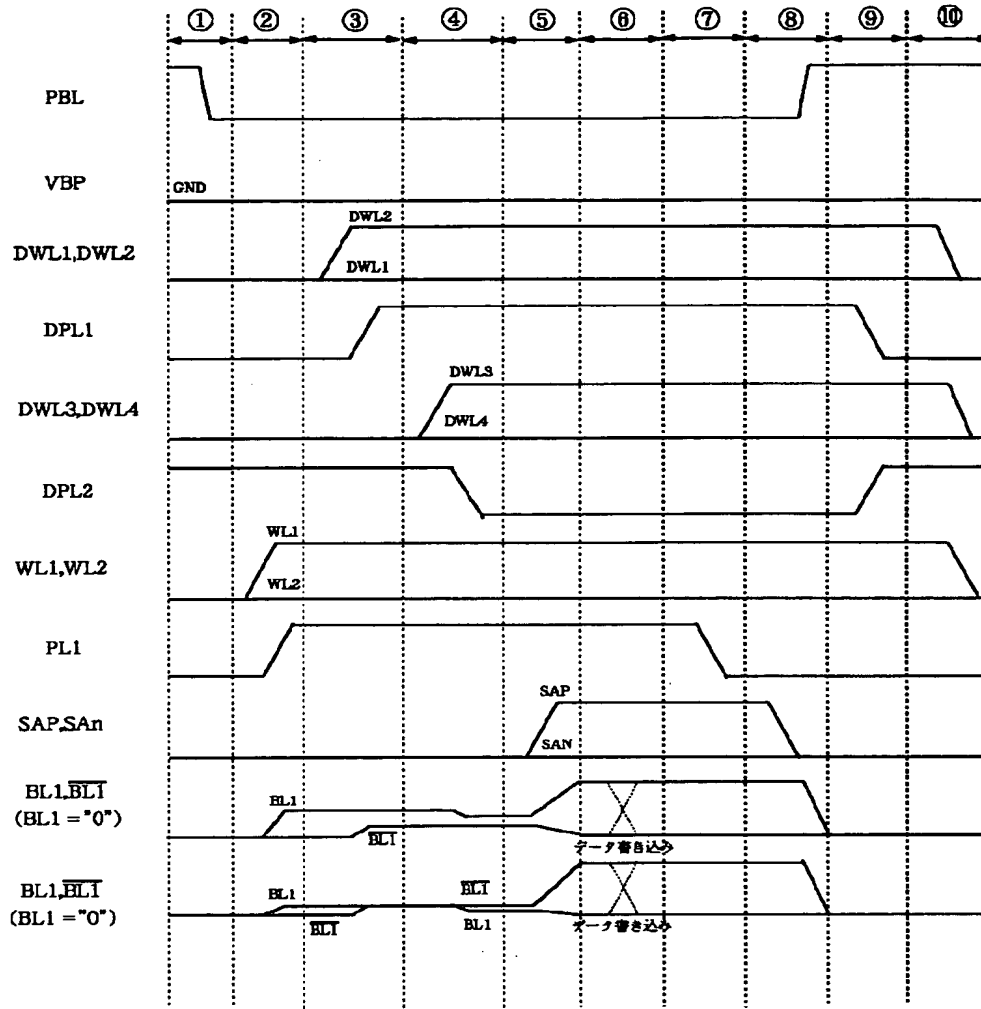
【図 5】



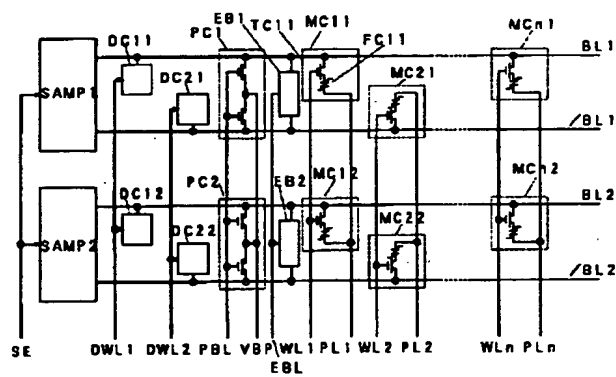
【図 1 0】



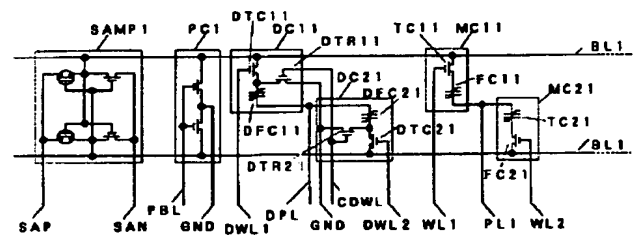
【図7】



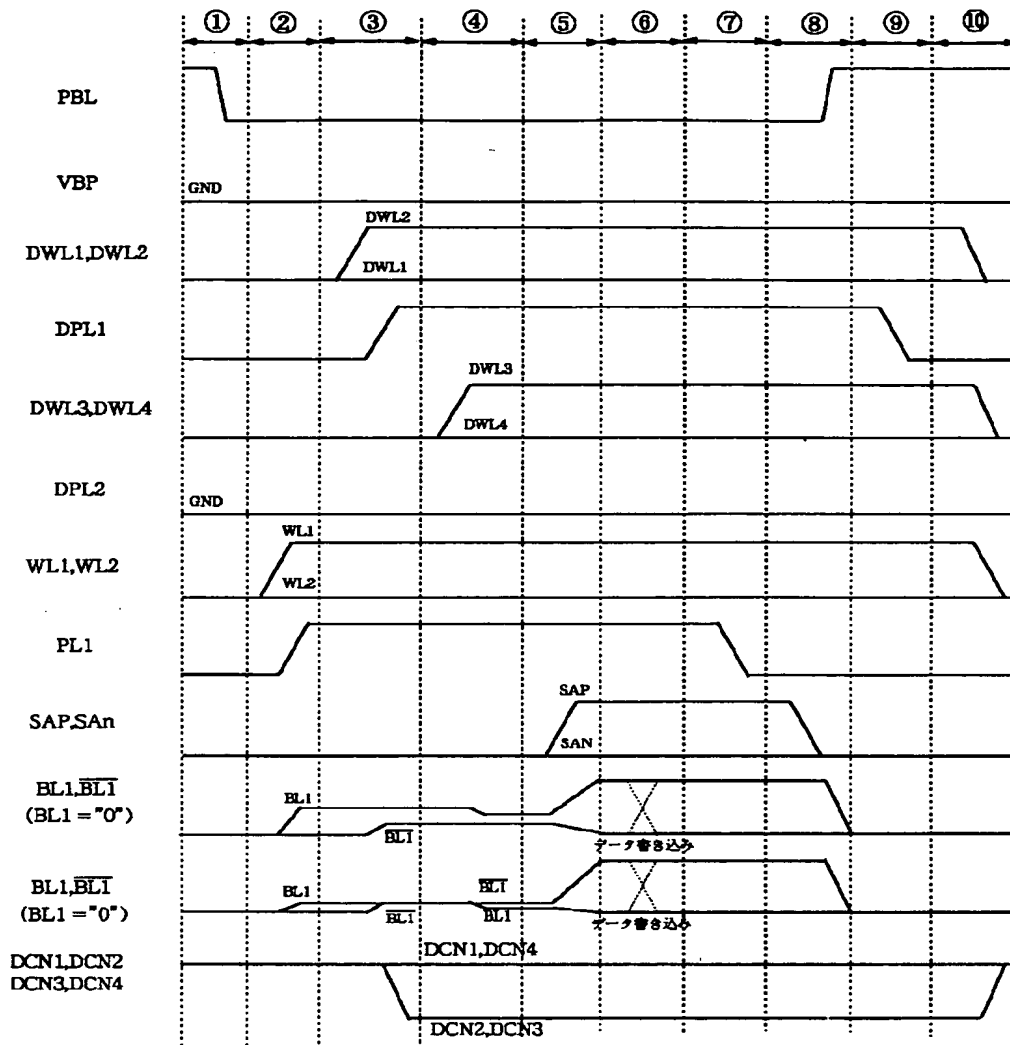
【図13】



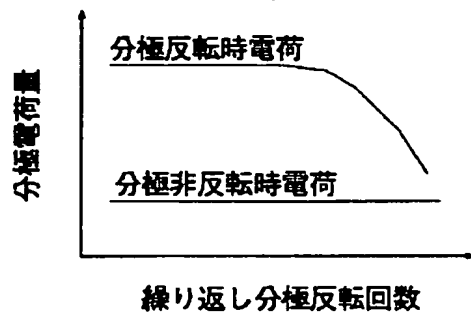
【図15】



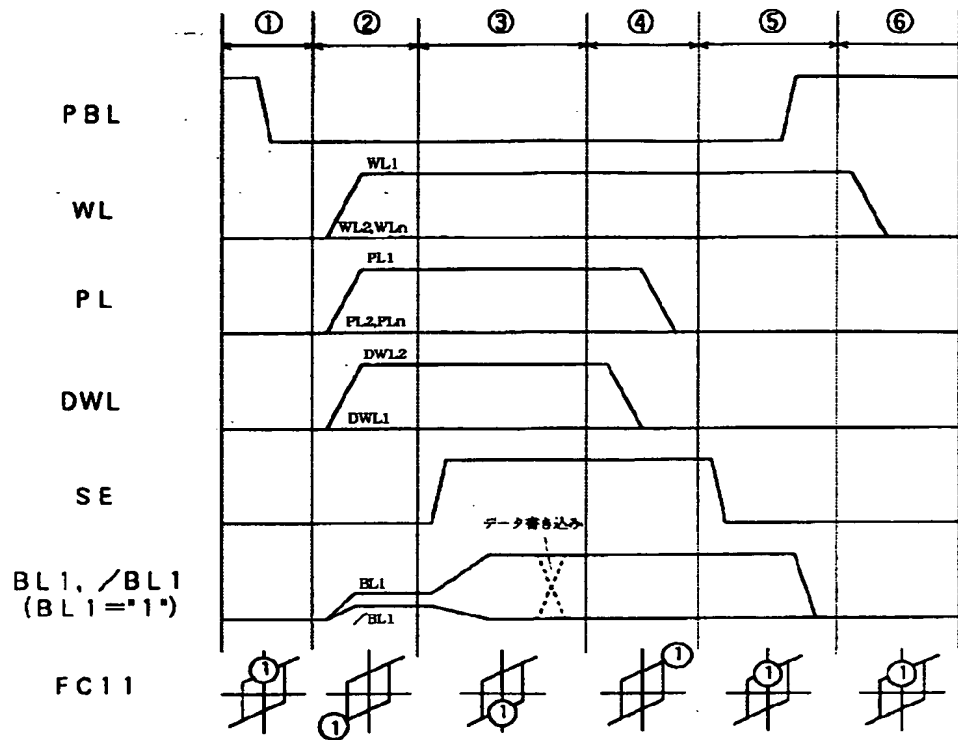
【図8】



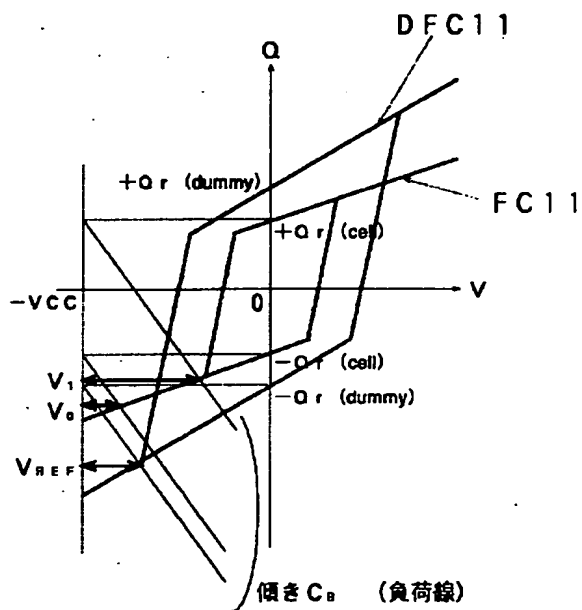
【図18】



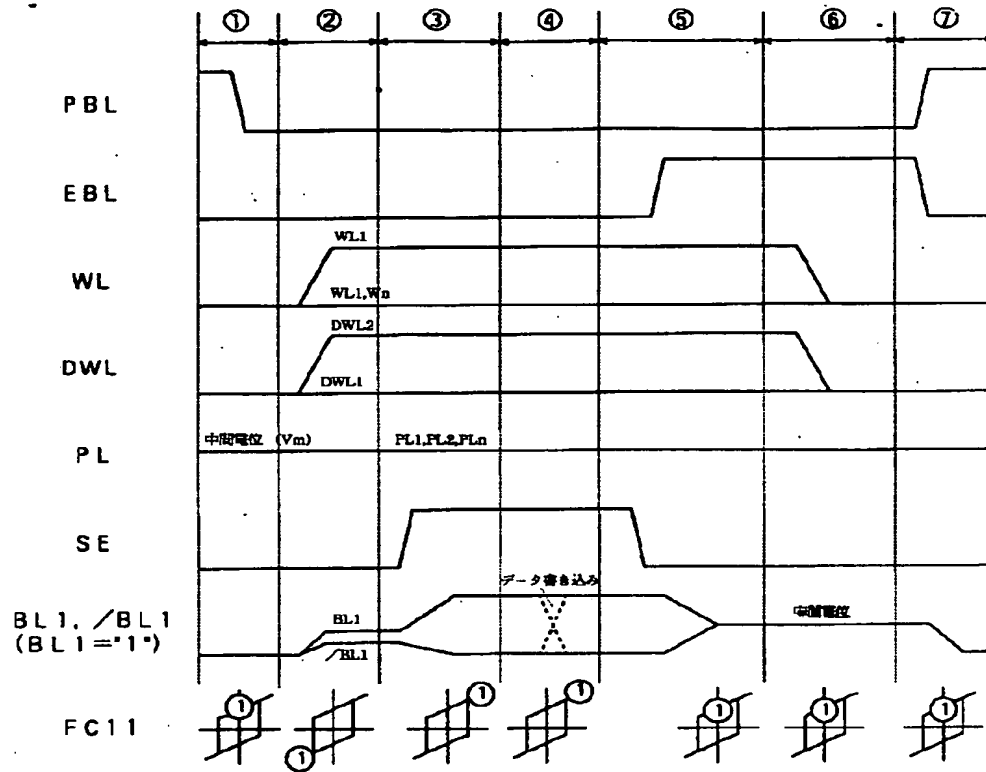
【図12】



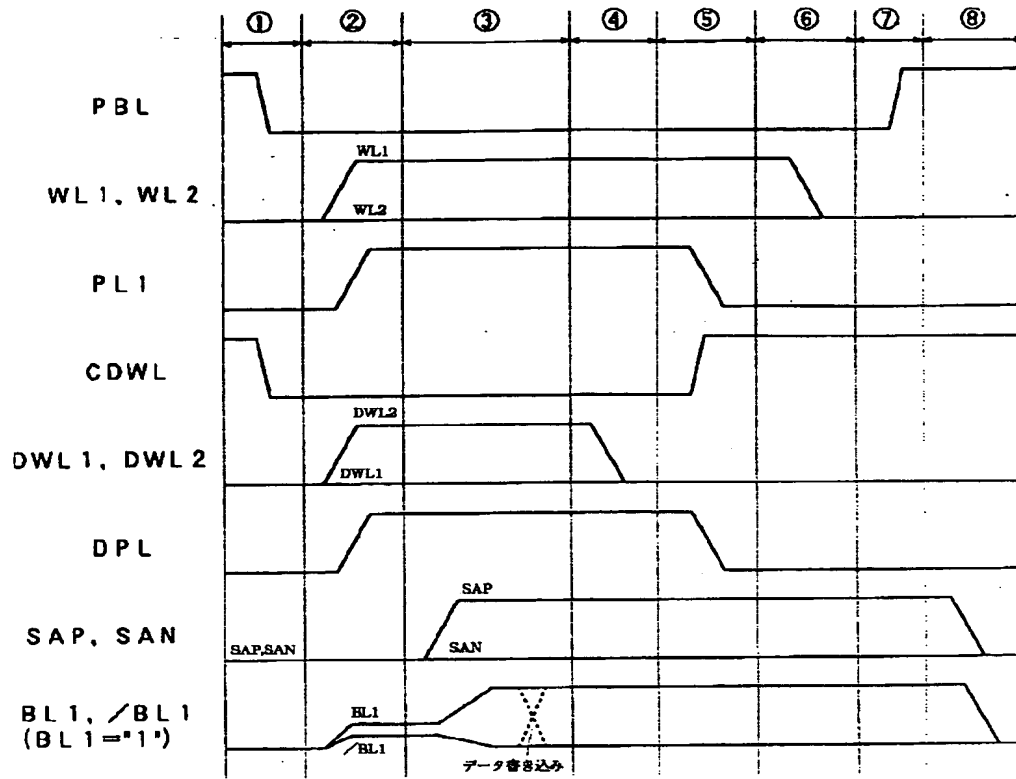
【図17】



【図 14】



【図 16】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/8247

29/788

29/792

識別記号

F I